

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

JP813 U.S. PTO  
09/671117  
09/28/00  


出願年月日  
Date of Application: 1999年12月 6日

出願番号  
Application Number: 平成11年特許願第345824号

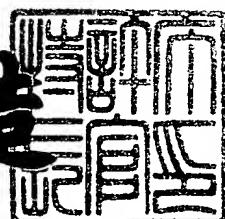
出願人  
Applicant(s): 富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 7月28日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3059571

【書類名】 特許願  
【整理番号】 9940689  
【提出日】 平成11年12月 6日  
【あて先】 特許庁長官 近藤 隆彦 殿  
【国際特許分類】 G06F 12/08  
【発明の名称】 計算機とその制御方法  
【請求項の数】 5  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 依田 齊  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 岡野 廣  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 広瀬 佳生  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 三宅 英雄  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100070150  
【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 計算機とその制御方法

【特許請求の範囲】

【請求項1】 メインメモリと、前記メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを備えた計算機の制御方法であって、

前記キャッシュメモリをランダムアクセスメモリとして動作させるときには、前記メインメモリに対応するアドレス空間とは異なるアドレス空間を前記キャッシュメモリへ割り当てる計算機の制御方法。

【請求項2】 前記計算機は、前記メインメモリと前記キャッシュメモリとの間に接続されたバス制御手段と、前記バス制御手段に接続された周辺システムとをさらに備え、

前記キャッシュメモリをランダムアクセスメモリとして動作させているときには、前記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスにより前記キャッシュメモリへアクセスされた場合には、前記メインメモリまたは前記周辺システムへのアクセスがなされる請求項1に記載の計算機の制御方法。

【請求項3】 メインメモリと、前記メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを含む計算機であって、

前記キャッシュメモリがランダムアクセスメモリとして動作するときには、前記メインメモリに対応するアドレス空間とは異なるアドレス空間を前記キャッシュメモリへ割り当てるアドレス割り当て手段を備えたことを特徴とする計算機。

【請求項4】 前記キャッシュメモリがランダムアクセスメモリとして動作するときに前記キャッシュメモリへ割り当てるアドレス空間を、少なくとも一部が前記メインメモリに対応するアドレス空間と重複するものとするか否かを選択する選択手段をさらに備えた請求項3に記載の計算機。

【請求項5】 前記メインメモリと前記キャッシュメモリとの間に接続されたバス制御手段と、

前記バス制御手段に接続された周辺システムと、  
前記キャッシュメモリをランダムアクセスメモリとして動作させているときに  
、前記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレ  
スにより前記キャッシュメモリへアクセスされた場合には、前記メインメモリま  
たは前記周辺システムへのアクセスを行う制御手段とをさらに備えた請求項3に  
記載の計算機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は計算機とその制御方法に関し、さらに詳しくは、キャッシュメモリを  
備えた計算機とその制御方法に関するものである。

【0002】

【従来の技術】

図1は、4ウェイ・セット・アソシティブ方式を採用した従来の計算機の構  
成を示す図である。図1に示されるように、4ウェイ・セット・アソシティブ  
方式を採用した従来の計算機は、CPU1と、CPU1に接続されたキャッシュ部2と、  
キャッシュ部2に接続されたバス制御装置3とを備える。ここで、キャ  
ッシュ部2はアドレスレジスタ4と、データレジスタ5と、4つのキャッシュウ  
ェイから構成されるキャッシュメモリ9と、各キャッシュウェイに対応するよう  
設けられた4つのキャッシュタグ(TAG)7と、TAGアドレス比較部11と  
、データセレクト部13と、キャッシュコントローラ15とを含む。

【0003】

そして、アドレスレジスタ4はCPU1に接続され、CPU1から供給された  
アドレスを保持する。データレジスタ5は、CPU1に接続され、CPU1から  
キャッシュメモリ9に書き込むデータを保持する。キャッシュタグ7は、アドレ  
スレジスタ4及びバス制御装置3に接続され、キャッシュウェイに含まれたキャ  
ッシュブロックの識別アドレスを保持する。また、キャッシュメモリ9はアドレ  
スレジスタ4及びバス制御装置3とデータレジスタ5に接続され、供給されたデ  
ータを記憶する。

## 【0004】

TAGアドレス比較部11はその入力端がキャッシングタグ7及びアドレスレジスタ4に接続され、CPU1から供給されたアドレスとキャッシングタグ7に格納されているアドレスとを比較し、一致する場合にはキャッシングヒット信号CHAを出力する。また、データセレクト部13はその入力端がキャッシングメモリ9及びTAGアドレス比較部11に接続され、キャッシングメモリ9から読み出されたデータを選択的に出力する。また、キャッシングコントローラ15は、TAGアドレス比較部11とCPU1及びバス制御装置3に接続され、キャッシング部2を制御する。

## 【0005】

ここで、従来よりCPU1はメインメモリに格納されているマシン命令やデータにアクセスすることにより、処理（演算）を行っている。しかし、CPU1に比べてメインメモリの動作はかなり低速なため、マシン命令の読み出しやロード／ストア命令の実行には時間がかかる。そこで、CPU1とメインメモリとの間に、命令やデータを一時的に格納すると共にメインメモリより高速に動作するキャッシングメモリ9を備えた計算機が開発され、処理時間が短縮されている。

## 【0006】

以下に、図1に示された従来の計算機において、CPU1がデータを読み出す動作を説明する。まず、TAGアドレス比較部11はCPU1から供給されたアドレスと、有効なキャッシングブロックのタグが一致するか否か比較し、一致するものがあるキャッシングヒット時は、キャッシングヒット信号CHAをキャッシングコントローラ15及びデータセレクト部13へ供給する。これより、キャッシングメモリ9からデータセレクト部13を介して対応するデータがCPU1へ供給される。一方、上記比較において一致するものが無いキャッシングミスヒット時には、まず置換の対象とするキャッシングブロックを決め、次にそのブロックが既に更新されているものならば、置換対象とするキャッシングブロックのデータをメインメモリへ書き戻す（コピーバック）。なお、そのブロックが未だ更新されていない時は、書き戻さない。そして次に、メインメモリ内のアクセス対象データが存在するブロックを上記キャッシングブロックへ置換（コピー）すると同時に、CP

U1へデータを供給する。

#### 【0007】

一方、従来においては、キャッシュメモリ9をランダムアクセスメモリ(RAM)として動作させる技術も考えられている。すなわち、この技術はキャッシュメモリ9をメインメモリと同じアドレス領域に割り付け、メインメモリのコピーをRAMとして機能するキャッシュメモリ9に置くことによりデータの処理時間を短縮せるものである。

#### 【0008】

しかしながら、このような従来の技術においては、以下のような問題がある。キャッシュメモリ9はメインメモリが有するデータのうち一部のデータしか記憶できないため、必要とされるデータを記憶しているキャッシュブロックがブロック置換の対象とされた結果、上記必要とされるデータがキャッシュメモリ9から追い出されることがある。また、たとえ必要なデータがキャッシュメモリ9へ記憶されているとしても、ライトスルー制御が行われる場合には、ライト時にキャッシュメモリ9のみならずメインメモリに対する制御も行われるため、このような場合にはバスを介したデータのやりとりが煩雑化し、計算機の動作速度が低下してしまう場合もある。

#### 【0009】

従って、キャッシュメモリ9をランダムアクセスメモリとして動作させることも考えられるが、このとき上記ランダムアクセスメモリに割り付けられるアドレス領域がメインメモリのアドレス領域と一部でも重複していると、キャッシュメモリ9に格納されたデータのコピーレンシーを保つスヌープ処理等を行う必要が生じ、制御が複雑になるという問題がある。

#### 【0010】

なお、特開平5-334189号公報には、キャッシュメモリをランダムアクセスメモリとして動作させる技術が開示されているが、該ランダムアクセスメモリに割り付けられたアドレス領域に含まれないアドレスによってアクセスがなされた場合の動作については、何も記されていない。

#### 【0011】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたもので、コヒーレンシーを保つための複雑な制御の必要性を回避して、RAMとしての簡易な制御を実現し得るキャッシュメモリを備えた計算機とその制御方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記の目的は、メインメモリと、メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを備えた計算機の制御方法であって、キャッシュメモリをランダムアクセスメモリとして動作させるときには、メインメモリに対応するアドレス空間とは異なるアドレス空間をキャッシュメモリへ割り当てる計算機の制御方法を提供することにより達成される。このような手段によれば、ランダムアクセスメモリとして動作させるキャッシュメモリの制御において、メインメモリとのコヒーレンシを保つ必要性を回避することができる。

【0013】

ここで、上記計算機は、メインメモリとキャッシュメモリとの間に接続されたバス制御手段と、バス制御手段に接続された周辺システムとをさらに備え、キャッシュメモリをランダムアクセスメモリとして動作させてているときに、キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスによりキャッシュメモリへアクセスされた場合には、メインメモリまたは周辺システムへのアクセスがなされる計算機の制御方法とすることができます。このような手段によれば、キャッシュメモリをランダムアクセスメモリとして動作させるときにキャッシュメモリへ割り当てられるアドレス空間に制限されることなく、プログラムを作成できる。

【0014】

また、本発明の目的は、メインメモリと、メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを含む計算機であって、キャッシュメモリがランダムアクセスメモリとして動作するときには、

メインメモリに対応するアドレス空間とは異なるアドレス空間をキャッシュメモリへ割り当てるアドレス割り当て手段を備えたことを特徴とする計算機を提供することによって達成される。

## 【0015】

ここで、上記計算機は、キャッシュメモリがランダムアクセスメモリとして動作するときにキャッシュメモリへ割り当てるアドレス空間を、少なくとも一部がメインメモリに対応するアドレス空間と重複するものとするか否かを選択する選択手段をさらに備えたものとすることができる。このような手段によれば、ランダムアクセスメモリとして動作するキャッシュメモリに対して、計算機の構成に応じた適切な制御を実現することができる。

## 【0016】

また、上記計算機は、メインメモリとキャッシュメモリとの間に接続されたバス制御手段と、バス制御手段に接続された周辺システムと、キャッシュメモリをランダムアクセスメモリとして動作させているときに、キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスによりキャッシュメモリへアクセスされた場合には、メインメモリまたは周辺システムへのアクセスを行う制御手段とをさらに備えたものとすることができる。

## 【0017】

## 【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、同一符号は同一または相当部分を示す。

図2は、本発明の実施の形態に係る計算機の基本的構成を示すブロック図である。図2に示されるように、本発明の実施の形態に係る計算機はC P U 1 0と、キャッシュ部20と、DMA (Direct Memory Access) 制御回路27と、バス制御装置28と、メインメモリ29と、周辺システム30とを備える。また、キャッシュ部20にはキャッシュコントローラ25と情報格納部26とを含み、キャッシュコントローラ25には第一機構21、第二機構22、第三機構23及び第四機構24とを含む。

## 【0018】

ここで、CPU10はデータアクセスや命令アクセス時にキャッシュ部20へアクセスする機能を持つ。また、DMA制御回路27に対して起動するよう要求する場合もある。また、キャッシュ部20はCPU10とバス制御装置28との間に接続され、キャッシュメモリまたはRAMとして動作する機能を有する。ここで、情報格納部26は複数のウェイを持っててもよい。また、バス制御装置28からDMA転送による書き込みが要求されることにより、情報格納部26に情報が格納される一方、バス制御装置28からDMA転送による読み出しが要求されることにより、情報格納部26からバス制御装置28へ情報が読み出される。

#### 【0019】

また、キャッシュコントローラ25はキャッシュ部20の動作を制御し、第一機構21は情報格納部26に含まれたキャッシュメモリをRAMとして動作させるための切り替えを行う。第二機構22は、キャッシュメモリをRAMとして動作させる範囲を設定する。第三機構23は、RAMのアドレス領域を設定する。また第四機構24は、アクセスされたアドレスがRAMとして動作するキャッシュメモリに対応したアドレス領域に含まれるものである場合には、該RAMから情報を受け取ると共に、含まれない場合にはメインメモリ29や周辺システム30といった外部記憶装置へアクセスする。

#### 【0020】

また、情報格納部26はRAMとしての動作が可能なキャッシュメモリを含み、情報を格納する。そして、バス制御装置28はキャッシュ部20及びDMA制御回路27とメインメモリ29及び周辺システム30との間に接続され、キャッシュ部20と周辺システム30との間におけるデータ転送時にバス権を調停したり、メインメモリ29並びに周辺システム30へのアクセスの制御や、DMA制御回路27からのデータ転送の制御を行う。

#### 【0021】

また、メインメモリ29はバス制御装置28に接続され、CPU10が利用する情報を格納する。DMA制御回路27は、CPU10とバス制御装置28との間に接続され、周辺システム30と情報格納部26との間においてDMA転送を実行するようバス制御装置28に対して要求する。なお、DMA転送の起動はC

PU10から行う場合と、周辺システム30から行う場合とがある。

### 【0022】

また、周辺システム30は、図示されていない他のCPUやメモリなどが接続されており、DMAデータ転送を要求する機能を持つ場合がある。

以上のような基本的構成を有する本発明の実施の形態に係る計算機により、図3に示されるようにアドレスがマッピングされる。すなわち、図3においては例として、32ビットのアドレスから構成され、メインメモリが64メガバイトで連続してマッピングされている4ギガバイトのアドレス空間が示される。ここで、メインメモリ29のアドレス領域はアドレス“0x10000000”からアドレス“0x1000FFFF”までの領域とされ、RAMとして動作するキャッシュメモリのアドレス領域はアドレス“0xFE000000”からアドレス“0xFFFFFFFF”までの領域とされ、相互に重複部分を持たないようにアドレス領域（アドレス空間）が割り当てられる。

### 【0023】

このように、本発明の実施の形態に係る計算機においては、キャッシュメモリをRAMとして動作させるときには、メインメモリに対応するアドレス空間とは異なるアドレス空間がキャッシュメモリへ割り当てられる。従って、このような計算機によれば、RAMとして動作するキャッシュメモリとメインメモリとの間のコヒーレンシーを保つための複雑な制御の必要性を回避して、キャッシュメモリをRAMとして簡易に制御することができる。以下において、より具体的に説明する。

### 【実施の形態1】

図4は、本発明の実施の形態1に係る4ウェイ・セット・アソシティブ方式を採用した計算機のキャッシュ部20の構成をより詳しく示す図である。図4に示されるように、本実施の形態に係るキャッシュ部20は従来の計算機に係るキャッシュ部2に対して、デコーダ33とセレクタ35をさらに備え、キャッシュコントローラ25がアドレスレジスタ4及びデータレジスタ5に接続される点で相違する。ここで、デコーダ33はアドレスレジスタ4に接続される。また、セレクタ35の入力端はデコーダ33とTAGアドレス比較部11及びキャッシュ

コントローラ25に接続され、出力端がデータセレクト部13に接続される。

#### 【0024】

図5は、図4に示されたキャッシュコントローラ25の構成を示す図である。図5に示されるように、キャッシュコントローラ25は、RAM設定フラグ40と、ウェイ設定フラグ41と、RAMアドレス領域フラグ43と、情報格納部26に含まれた各キャッシュウェイに対応して並設された4つのRAMアドレス比較部44と、RAMコヒーレンシ判定部49と、RAMミスリクエスト部53と、コヒーレンシ制御部55と、バスリクエスト制御部57とを備える。そして、各RAMアドレス比較部44はRAMアドレスレジスタ45と、比較器47とを含む。

#### 【0025】

ここで、RAM設定フラグ40とRAMアドレス比較部44、ウェイ設定フラグ41及びRAMアドレス領域フラグ43は、共にデータレジスタ5に接続される。そして、RAMアドレス比較部44に含まれたRAMアドレスレジスタ45がデータレジスタ5に接続され、比較器47の二つの入力端はそれぞれRAMアドレスレジスタ45とアドレスレジスタ4に接続される。

#### 【0026】

また、RAMコヒーレンシ判定部49はその入力端が、RAMアドレスレジスタ45と、アドレスレジスタ4及びRAMアドレス領域フラグ43に接続される。RAMミスリクエスト部53はその入力端が、RAM設定フラグ40と、比較器47及びウェイ設定フラグ41に接続される。そして、RAMミスリクエスト部53の出力端はセレクタ35及びバスリクエスト制御部57に接続される。

#### 【0027】

また、コヒーレンシ制御部55はその入力端がRAMコヒーレンシ判定部49及びバス制御装置28に接続され、その出力端がバス制御装置28及びCPU10に接続される。バスリクエスト制御部57は、さらにCPU10及びバス制御装置28に接続され、CPU10からは制御信号BRCが供給される。なお、以上の構成において図2に示された第一機構21にはRAM設定フラグ40が該当し、第二機構22にはウェイ設定フラグが該当する。また、第三機構23にはR

AMアドレス比較部44が該当し、第四機構24にはRAMアドレス領域フラグ43が該当する。

## 【0028】

次に、以上のような構成を有する本実施の形態に係る計算機は、情報格納部26がキャッシュメモリとして動作する通常動作モードとRAMとして動作するRAMモードとを有するが、以下においてRAMモードでの動作を説明する。なお、通常動作モードでは上記図1に示された従来の計算機と同様に動作する。

図6は本実施の形態1に係る計算機において、CPU10が周辺システム30のアドレス空間に存在する情報を利用する場合の動作を説明する図である。なお、図6においては説明の便宜を図るために、情報格納部26は二つのキャッシュウェイ26A、26Bから構成されるものとして示される。

## 【0029】

図6に示されるように、まず最初にCPU10からキャッシュコントローラ25へデータレジスタ5を介してRAMモードに切り換えるための設定データが供給され、該設定データによりキャッシュメモリからなる情報格納部26をRAMとして動作させることを示す第一機構21としてのRAM設定フラグ40が1にセットされる。また同時に、上記設定データによって情報格納部26の中でどの範囲をRAMとして動作させるかを示す第二機構22としてのウェイ設定フラグ41がセットされる。ここで例えば、ウェイ設定フラグ41に1がセットされれば図6に示される両キャッシュウェイ26A、26BがRAMとして動作し、0がセットされれば図6に示されるいずれか一方のキャッシュウェイだけがRAMとして動作する。

## 【0030】

また、第三機構23としてのRAMアドレスレジスタ45には、RAMとして動作させるキャッシュメモリに対応するアドレス領域がデータレジスタ5を介して供給されるデータにより書き込まれる。さらに、RAMとして動作させるキャッシュメモリのアドレス領域をメインメモリ29のアドレス領域と共通の領域とするか、互いに重複部分がない異なる領域とするかを示す第四機構24としてのRAMアドレス領域フラグ43が上記設定データによりセットされる。

## 【0031】

次に、CPU10はDMA制御回路27に対して周辺システム30からRAMへDMA転送するよう要求する。そして、DMA制御回路27は該要求に応じて、バス制御装置28に対して周辺システム30のアドレス空間から情報を読み出すよう要求する。ここでバス制御装置28は周辺システム30へ該情報の読み出しを要求し、周辺システム30は要求された情報をバス制御装置28へ供給する。このとき、該情報が供給されたバス制御装置28は、例えばキャッシュウェイ26Aに対する該情報の書き込みを実行する。

## 【0032】

上記のような動作を完了した後にCPU10がRAMに対してアクセスを行うと、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と比較器47において比較される。そして、この比較結果がRAMミスリクエスト部53へ供給される。

このとき上記比較の結果一致（ヒット）すると判断された場合には、RAMミスリクエスト部53は、キャッシュヒット信号CHをバスリクエスト制御部57へ供給すると共に、ウェイ設定フラグ41から供給された信号に応じて、ヒットしたキャッシュウェイを示すキャッシュウェイセレクト信号CWSをセレクタ35に供給する。そして、セレクタ35は供給されたキャッシュウェイセレクト信号CWSとデコーダ33においてデコードされたアドレスに応じて、データセレクト部13へ選択信号を出力する。これにより、データセレクト部13は情報格納部26から出力されたデータを選択的にCPU10及びバス制御装置28へ出力する。

## 【0033】

一方、比較器47における比較において、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しないものと判断される場合には、RAMミスリクエスト部53よりRAMミスリクエスト信号RMRがバスリクエスト制御部57へ供給される。この時、バスリクエスト制御部57はバスリクエスト信号BRをバス制御装置28へ供給し、バス制御装置28は供給されたバスリクエスト信号BRに応じてメインメモリ29ま

たは周辺システム30にアクセスする。なお、バスリクエスト制御部57は、バス制御装置28からリクエストを受け付けたことを示すリクエスト受付信号RRが供給された時、バスリクエスト信号BRの供給を止める。

#### 【0034】

また、上記の動作において、RAMとして動作させるキャッシュメモリのアドレス領域をメインメモリ29のアドレス領域と共通の領域とする場合には、RAMアドレス領域フラグ43から供給される信号によりRAMコヒーレンシ判定部49が活性化され、RAMアドレスレジスタ45に設定されたアドレス空間とアドレスレジスタ4から供給されたアドレスとの間のコヒーレンシの有無が判定される。そして、RAMコヒーレンシ判定部49から、コヒーレンシを保つ必要性の有無を示すRAMコヒーレンション／オフ信号RCがコヒーレンシ制御部55へ供給される。

#### 【0035】

このときコヒーレンシ制御部55は、コヒーレンシを保つ必要があることを示すコヒーレンション信号が供給されることにより、CPU10へコヒーレンシを保つためのコヒーレンシ制御信号CCを供給する。また同時に、コヒーレンシ制御部55は、周辺システム30に含まれた他のCPU（図示していない）などによりメインメモリ29のデータが書き換えられていないかどうかをバス制御装置28を介して確認するため、バス制御装置28へキャッシュスヌープ信号CSを供給する。なお、バススヌープ信号BSは、情報格納部26のRAMが書き換えられていないかどうかを確認するためコヒーレンシ制御部55へ供給される。

#### 【0036】

以上のような動作により、本実施の形態に係る計算機によれば、RAMとして動作するキャッシュメモリのアドレス領域にアクセスするとき、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、メインメモリ29または周辺システム30にアクセスするため、周辺システム30などの情報を読み出すことができる。従って、RAMのアドレス領域外のアドレスを持ったデータにもアクセスすることができる。

## 【0037】

次に、上記の実施の形態1に係る計算機において、CPU10がメインメモリ29のアドレス空間にアクセスする第一の動作を、図7を参照しつつ説明する。

図7に示されるように、まず最初にCPU10からキャッシュコントローラ25へデータレジスタ5を介してRAMモードに切り換えるための設定データが供給され、該設定データによりキャッシュメモリからなる情報格納部26をRAMとして動作させることを示す第一機構21としてのRAM設定フラグ40が1にセットされる。また同時に、上記設定データによって情報格納部26の中でどの範囲をRAMとして動作させるかを示す第二機構22としてのウェイ設定フラグ41がセットされる。ここで例えば、ウェイ設定フラグ41に1がセットされれば両キャッシュウェイ26A, 26BがRAMとして動作し、0がセットされればいずれか一方のキャッシュウェイだけがRAMとして動作する。

## 【0038】

また、第三機構23としてのRAMアドレスレジスタ45には、RAMとして動作させるキャッシュメモリに対応するアドレス領域が設定される。さらに、RAMとして動作させるキャッシュメモリのアドレス領域をメインメモリ29のアドレス領域と共通の領域とするか、互いに重複部分がない異なる領域とするかを示す第四機構24としてのRAMアドレス領域フラグ43が上記設定データによりセットされる。

## 【0039】

次に、周辺システム30はDMA制御回路27に対してメインメモリ29からRAMへDMA転送するよう要求する。そして、DMA制御回路27は該要求に応じて、バス制御装置28に対してメインメモリ29のアドレス空間から情報を読み出すよう要求する。バス制御装置28はメインメモリ29へ該情報の読み出しを要求し、メインメモリ29は要求された情報をバス制御装置28へ供給する。このとき、該情報が供給されたバス制御装置28は、例えばキャッシュウェイ26Aに対する該情報の書き込みを実行する。

## 【0040】

上記のような動作を完了した後にCPU10がRAMに対してアクセスを行う

と、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と比較器47において比較される。そして、これらが一致（ヒット）する場合にはRAMミスリクエスト部53は、キャッシングヒット信号CHをバスリクエスト制御部57へ供給すると共に、ウェイ設定フラグ41から供給された信号に応じてヒットしたキャッシングウェイを示すキャッシングウェイセレクト信号CWSをセレクタ35に供給する。そして、セレクタ35は供給されたキャッシングウェイセレクト信号CWSとデコーダ33から供給された信号に応じて、データセレクト部13へ選択信号を出力する。これにより、データセレクト部13は情報格納部26から出力されたデータを選択的にCPU10及びバス制御装置28へ出力する。

#### 【0041】

一方、比較器47における比較において、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、RAMミスリクエスト部53よりRAMミスリクエスト信号RMRがバスリクエスト制御部57へ供給され、この時、バスリクエスト制御部57からはバスリクエスト信号BRがバス制御装置28へ供給される。そして、バス制御装置28よりリクエスト受付信号RRがバスリクエスト制御部57へ供給された時、バスリクエスト制御部57はバスリクエスト信号BRの供給を止める。そして、バス制御装置28はメインメモリ29または周辺システム30にアクセスする。

#### 【0042】

以上の動作により、RAMとして動作するキャッシングメモリのアドレス領域にアクセスするとき、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、メインメモリ29または周辺システム30にアクセスするため、メインメモリ29の情報を読み出すことができる。

#### 【0043】

次に、上記の実施の形態1に係る計算機において、CPU10がメインメモリ29のアドレス空間にアクセスする第二の動作を、図8を参照しつつ説明する。

図8に示されるように、まず最初にCPU10からキャッシュコントローラ25へデータレジスタ5を介してRAMモードに切り換えるための設定データが供給され、該設定データによりキャッシュメモリからなる情報格納部26をRAMとして動作させることを示す第一機構21としてのRAM設定フラグ40が1にセットされる。また同時に、上記設定データによって情報格納部26の中でどの範囲をRAMとして動作させるかを示す第二機構22としてのウェイ設定フラグ41がセットされる。ここで例えば、ウェイ設定フラグ41に1がセットされれば両キャッシュウェイ26A, 26BがRAMとして動作し、0がセットされればいずれか一方のキャッシュウェイだけがRAMとして動作する。

#### 【0044】

また、第三機構23としてのRAMアドレスレジスタ45には、RAMとして動作させるキャッシュメモリに対応するアドレス領域が設定される。さらに、RAMとして動作させるキャッシュメモリのアドレス領域をメインメモリ29のアドレス領域と共通の領域とするか、互いに重複部分がない異なる領域とするかを示す第四機構24としてのRAMアドレス領域フラグ43が上記設定データによりセットされる。

#### 【0045】

次に、CPU10は情報格納部26に対してメインメモリ29から情報格納部26へ情報を転送するよう要求する。そして、情報格納部26は該要求に応じて、バス制御装置28に対してメインメモリ29のアドレス空間から情報を読出するよう要求する。ここでバス制御装置28はメインメモリ29へ該情報の読み出しを要求し、メインメモリ29は要求された情報をバス制御装置28へ供給する。このとき、該情報が供給されたバス制御装置28は、例えばキャッシュウェイ26Aに対する該情報の書き込みを実行する。

#### 【0046】

上記のような動作を完了した後にCPU10がRAMに対してアクセスを行うと、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と比較器47において比較される。そして、これらが一致（ヒット）する場合にはRAMミスリクエスト部53は、キャッシュヒッ

ト信号CHをバスリクエスト制御部57へ供給すると共に、ウェイ設定フラグ41から供給された信号に応じて、RAMとして動作するキャッシュウェイを示すキャッシュウェイセレクト信号CWSをセレクタ35に供給する。そして、セレクタ35は供給されたキャッシュウェイセレクト信号CWSとデコーダ33においてデコードされたアドレスに応じて、データセレクト部13へ選択信号を出力する。これにより、データセレクト部13は情報格納部26から出力されたデータを選択的にCPU10及びバス制御装置28へ出力する。

#### 【0047】

一方、比較器47における比較において、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、RAMミスリクエスト部53よりRAMミスリクエスト信号RMRがバスリクエスト制御部57へ供給され、この時、バスリクエスト制御部57からはバスリクエスト信号BRがバス制御装置28へ供給される。そして、バス制御装置28よりリクエスト受付信号RRがバスリクエスト制御部57へ供給された時、バスリクエスト制御部57はバスリクエスト信号BRの供給を止める。そして、バス制御装置28はメインメモリ29または周辺システム30へアクセスする。

#### 【0048】

以上の動作により、RAMとして動作するキャッシュメモリのアドレス領域にアクセスするとき、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、メインメモリ29または周辺システム30にアクセスされるため、メインメモリ29の情報を読み出すことができる。

#### 【0049】

なお、図6から図8に示されるように、例えばCPU10がキャッシュウェイ26Aにアクセスしている間において、次に必要とする情報のDMA転送をDMA制御回路27に要求することにより、キャッシュウェイ26Bに対してバス制御装置28から情報を書き込んでおけば、キャッシュウェイ26Aへのアクセスが終わった後にキャッシュウェイ26Bにアクセスを行うことによって高速に必

必要な情報へアクセスすることができる。

#### [実施の形態2]

本発明の実施の形態2に係る計算機は、上記実施の形態1に係る計算機と同様な構成を有するが、キャッシュコントローラの構成が相違する。ここで、本実施の形態に係る計算機におけるキャッシュコントローラ60の構成は図9に示される。

#### 【0050】

図9に示されるように、本実施の形態に係るキャッシュコントローラ60は、図5に示されたキャッシュコントローラ25と同様な構成を有するが、RAMアドレス領域フラグ43と、RAMコヒーレンシ判定部49と、コヒーレンシ制御部55とを含まない点で相違する。

すなわち、情報格納部26に含まれたキャッシュメモリをRAMとして動作させると、回路設計当初より、該RAMに割り当てるアドレス領域をメインメモリ29のアドレス領域とは異なるものとし、かつメインメモリ29や該RAMにアクセスするCPUなどを一つに限る場合には、メインメモリ29と該RAM間のコヒーレンシを保つための回路は必要とされない。従って、このような場合には、上記図9に示されるように、キャッシュコントローラ60には図5に示されたRAMコヒーレンシ判定部49などが備えられる必要がない。

#### 【0051】

従って、本実施の形態2に係る計算機によれば、キャッシュメモリをRAMとして動作させると、回路設計当初より、該RAMに割り当てるアドレス領域をメインメモリ29のアドレス領域とは異なるものとし、かつメインメモリ29や該RAMにアクセスするCPUなどを一つに限る場合には、コヒーレンシを保つための回路が不要となり、回路規模を低減することができる。

#### 【0052】

最後に、本発明の課題を解決するための手段について付記する。

(1) メインメモリと、上記メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを備えた計算機の制御方法であって、上記キャッシュメモリをランダムアクセスメモリとして動作させるときに

は、上記メインメモリに対応するアドレス空間とは異なるアドレス空間を上記キャッシュメモリへ割り当てる計算機の制御方法。

(2) 上記計算機は、上記メインメモリと上記キャッシュメモリとの間に接続されたバス制御手段と、上記バス制御手段に接続された周辺システムとをさらに備え、上記キャッシュメモリをランダムアクセスメモリとして動作させているときに、上記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスにより上記キャッシュメモリへアクセスされた場合には、上記メインメモリまたは上記周辺システムへのアクセスがなされる(1)に記載の計算機の制御方法。

(3) 上記キャッシュメモリをランダムアクセスメモリとして動作させているときにおけるアクセス先のアドレスが、上記キャッシュメモリへ割り当てられたアドレス空間に含まれるか否かを判定し、含まれるものであると判定された時には上記キャッシュメモリへアクセスされ、含まれないものであると判定された時には上記メインメモリまたは上記周辺システムへのアクセスがなされる(2)に記載の計算機の制御方法。

(4) 上記キャッシュメモリのうち上記ランダムアクセスメモリとして動作する範囲を選択的に設定する(1)に記載の計算機の制御方法。このような手段によれば、計算機に望まれる動作に応じてランダムアクセスメモリとして動作させる範囲を調整することができるため、キャッシュメモリを備えた計算機により所望の動作を効率的に実現することができる。

(5) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリへはDMA転送によりデータを格納する(1)に記載の計算機の制御方法。

(6) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリからはDMA転送によりデータを読み出す(1)に記載の計算機の制御方法。このような手段によれば、ランダムアクセスメモリとして動作するキャッシュメモリに対するデータの入出力を、より効率的に行うことができるため、動作の高速化を図ることができる。

(7) メインメモリと、上記メインメモリに接続されランダムアクセスメモリと

して動作させることができるキャッシュメモリとを含む計算機であって、上記キャッシュメモリがランダムアクセスメモリとして動作するときには、上記メインメモリに対応するアドレス空間とは異なるアドレス空間を上記キャッシュメモリへ割り当てるアドレス割り当て手段を備えたことを特徴とする計算機。

(8) 上記キャッシュメモリがランダムアクセスメモリとして動作するときに上記キャッシュメモリへ割り当てるアドレス空間を、少なくとも一部が上記メインメモリに対応するアドレス空間と重複するものとするか否かを選択する選択手段をさらに備えた(7)に記載の計算機。

(9) 上記メインメモリと上記キャッシュメモリとの間に接続されたバス制御手段と、上記バス制御手段に接続された周辺システムと、上記キャッシュメモリをランダムアクセスメモリとして動作させてているときに、上記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスにより上記キャッシュメモリへアクセスされた場合には、上記メインメモリまたは上記周辺システムへのアクセスを行う制御手段とをさらに備えた(7)に記載の計算機。

(10) 上記キャッシュメモリをランダムアクセスメモリとして動作させているときにおけるアクセス先のアドレスが、上記キャッシュメモリへ割り当てられたアドレス空間に含まれるか否かを判定する判定手段をさらに備え、上記制御手段は上記判定手段における判定結果に基づいて動作すると共に、上記判定手段により上記アクセス先のアドレスが上記キャッシュメモリへ割り当てられたアドレス空間に含まれるものであると判定された時には上記キャッシュメモリへのアクセスを行う(9)に記載の計算機。

(11) 上記キャッシュメモリのうち上記ランダムアクセスメモリとして動作する範囲を選択的に設定する範囲選択手段をさらに備えた(7)に記載の計算機。

(12) ランダムアクセスメモリとして動作するときに上記キャッシュメモリに割り当てられる上記アドレス空間が形成された記憶手段をさらに備えた(7)に記載の計算機。

(13) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリへDMA転送によりデータを格納するデータ格納手段をさらに備えた(7)に記載の計算機。

(14) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリからDMA転送によりデータを読み出すデータ読み出し手段をさらに備えた(7)に記載の計算機。

#### 【0053】

##### 【発明の効果】

上述の如く、本発明によれば、キャッシュメモリをランダムアクセスメモリとして動作させるときには、メインメモリに対応するアドレス空間とは異なるアドレス空間をキャッシュメモリへ割り当てるため、ランダムアクセスメモリとして動作させるキャッシュメモリの制御において、メインメモリとのコヒーレンシを保つ必要性を回避することができ、計算機の制御を簡易化できる。

#### 【0054】

ここで、キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスによりキャッシュメモリへアクセスされた場合には、メインメモリまたは周辺システムへのアクセスがなされることとすれば、キャッシュメモリをランダムアクセスメモリとして動作させるときにキャッシュメモリへ割り当てられるアドレス空間に制限されることなくプログラムを作成でき、プログラム作成における自由度が高められる。

#### 【0055】

ここで、キャッシュメモリがランダムアクセスメモリとして動作するときにキャッシュメモリへ割り当てるアドレス空間を、少なくとも一部がメインメモリに対応するアドレス空間と重複するものとするか否かを選択することとすれば、ランダムアクセスメモリとして動作するキャッシュメモリに対して、計算機の構成に応じた適切な制御を実現することができるため、汎用性を高めることができる。

##### 【図面の簡単な説明】

###### 【図1】

4ウェイ・セット・アソシアティブ方式を採用した従来の計算機の構成を示す図である。

###### 【図2】

本発明の実施の形態に係る計算機の基本的構成を示すブロック図である。

【図3】

本発明の実施の形態に係る計算機におけるアドレスマッピングの例を示す図である。

【図4】

本発明の実施の形態1に係る計算機のキャッシュ部の構成をより詳しく示す図である。

【図5】

図4に示されたキャッシュコントローラの構成を示す図である。

【図6】

本発明の実施の形態1に係る計算機において、CPUが周辺システムのアドレス空間にアクセスする動作を説明する図である。

【図7】

本発明の実施の形態1に係る計算機において、CPUがメインメモリのアドレス空間にアクセスする動作を説明する第一の図である。

【図8】

本発明の実施の形態1に係る計算機において、CPUがメインメモリのアドレス空間にアクセスする動作を説明する第二の図である。

【図9】

本発明の実施の形態2に係る計算機におけるキャッシュコントローラの構成を示す図である。

【符号の説明】

1, 10 CPU

2, 20 キャッシュ部

3 バス制御装置

4 アドレスレジスタ

5 データレジスタ

7 タグ (TAG)

9 キャッシュメモリ

1 1 TAGアドレス比較部  
1 3 データセレクト部  
1 5, 2 5, 6 0 キャッシュコントローラ  
2 1 第一機構  
2 2 第二機構  
2 3 第三機構  
2 4 第四機構  
2 6 情報格納部  
2 6 A, 2 6 B キャッシュウェイ  
2 7 DMA制御回路  
2 8 バス制御装置  
2 9 メインメモリ  
3 0 周辺システム  
3 3 デコーダ  
3 5 セレクタ  
4 0 RAM設定フラグ  
4 1 ウェイ設定フラグ  
4 3 RAMアドレス領域フラグ  
4 4 RAMアドレス比較部  
4 5 RAMアドレスレジスタ  
4 7 比較器  
4 9 RAMコヒーレンシ判定部  
5 3 RAMミスリクエスト部  
5 5 コヒーレンシ制御部  
5 7 バスリクエスト制御部  
CWS キャッシュウェイセレクト信号  
CHA, CH キャッシュヒット信号  
RMR RAMミスリクエスト信号  
RC RAMコヒーレンション／オフ信号

C S キャッシュスヌープ信号

B S バススヌープ信号

C C コヒーレンシ制御信号

B R バスリクエスト信号

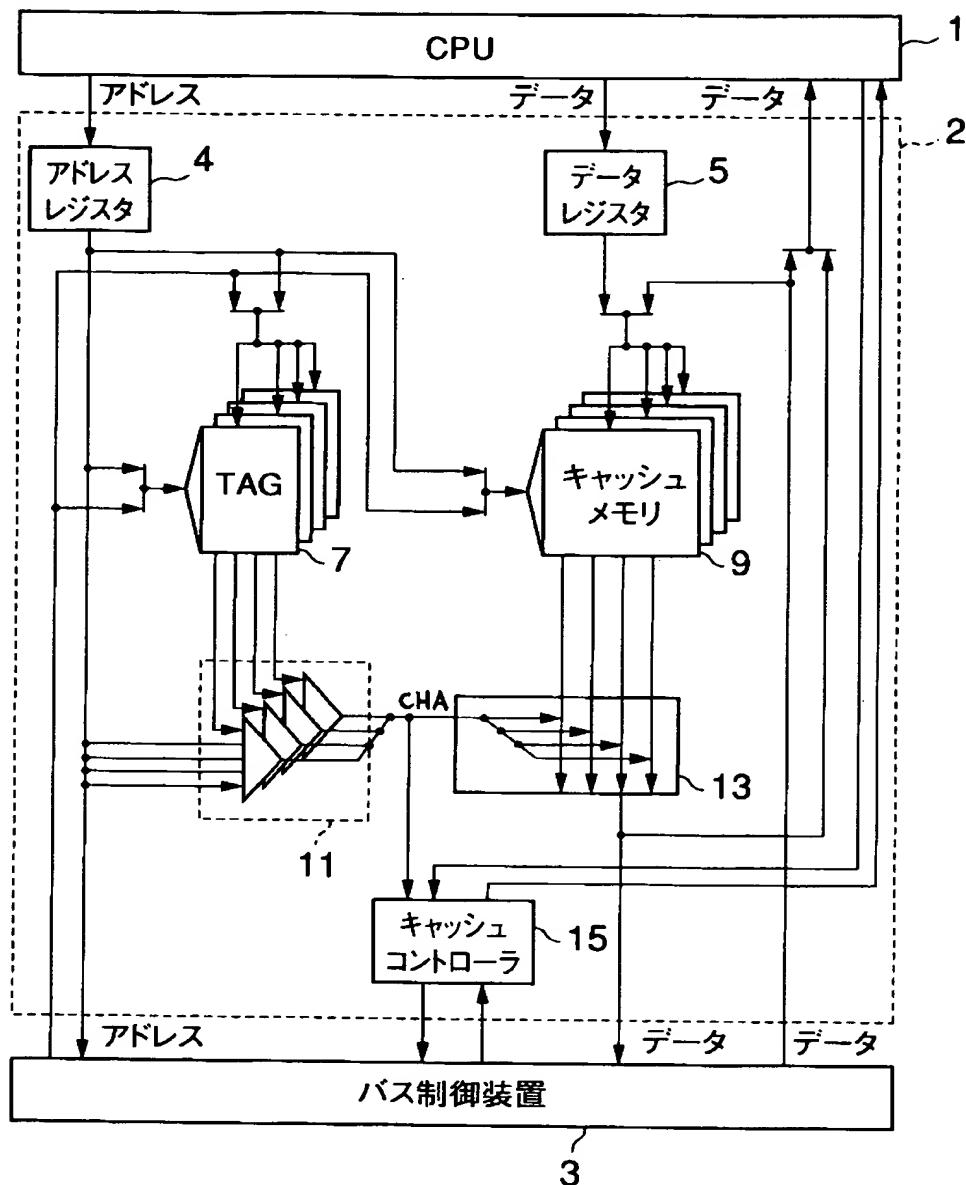
B R C 制御信号

R R リクエスト受付信号

【書類名】 図面

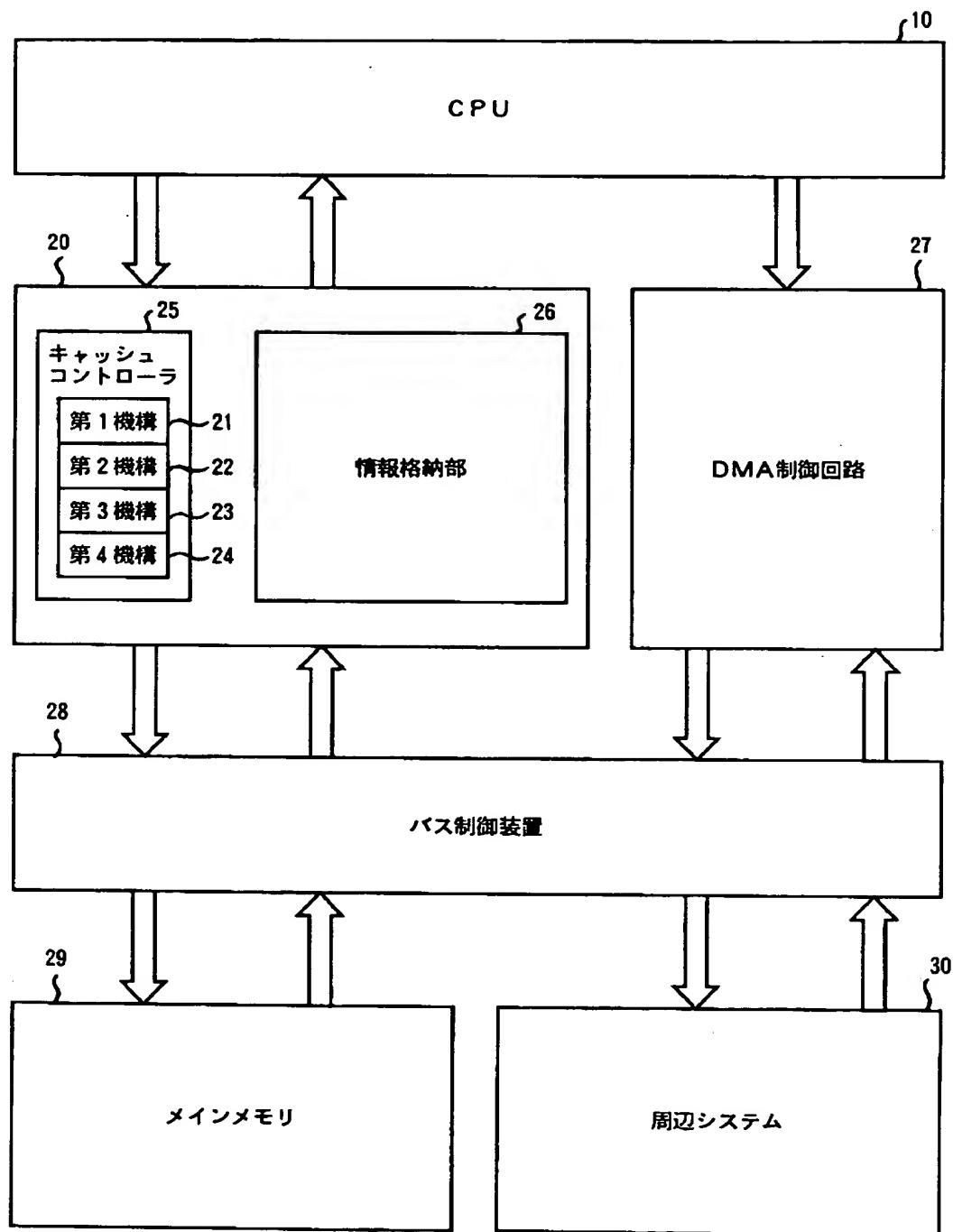
【図1】

4ウェイ・セット・アソシティブ方式を採用した従来の計算機の構成を示す図



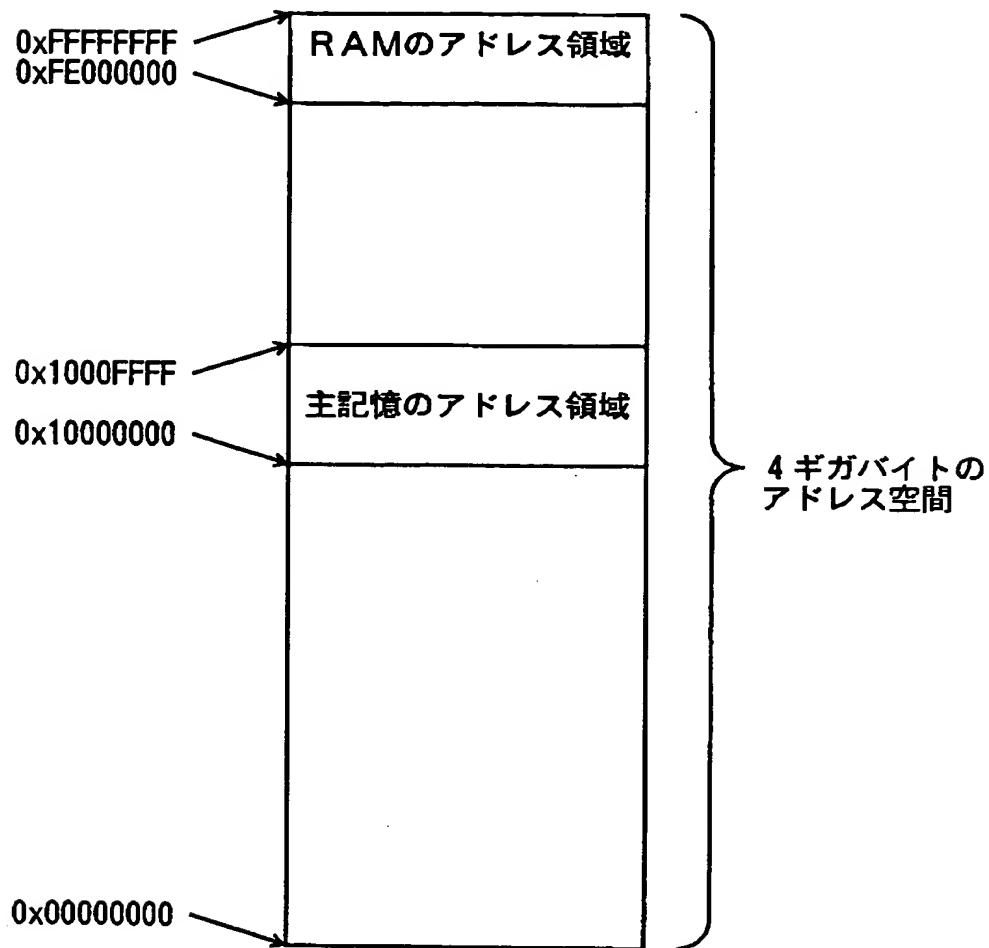
【図2】

## 本発明の実施の形態に係る計算機の基本的構成を示すブロック図



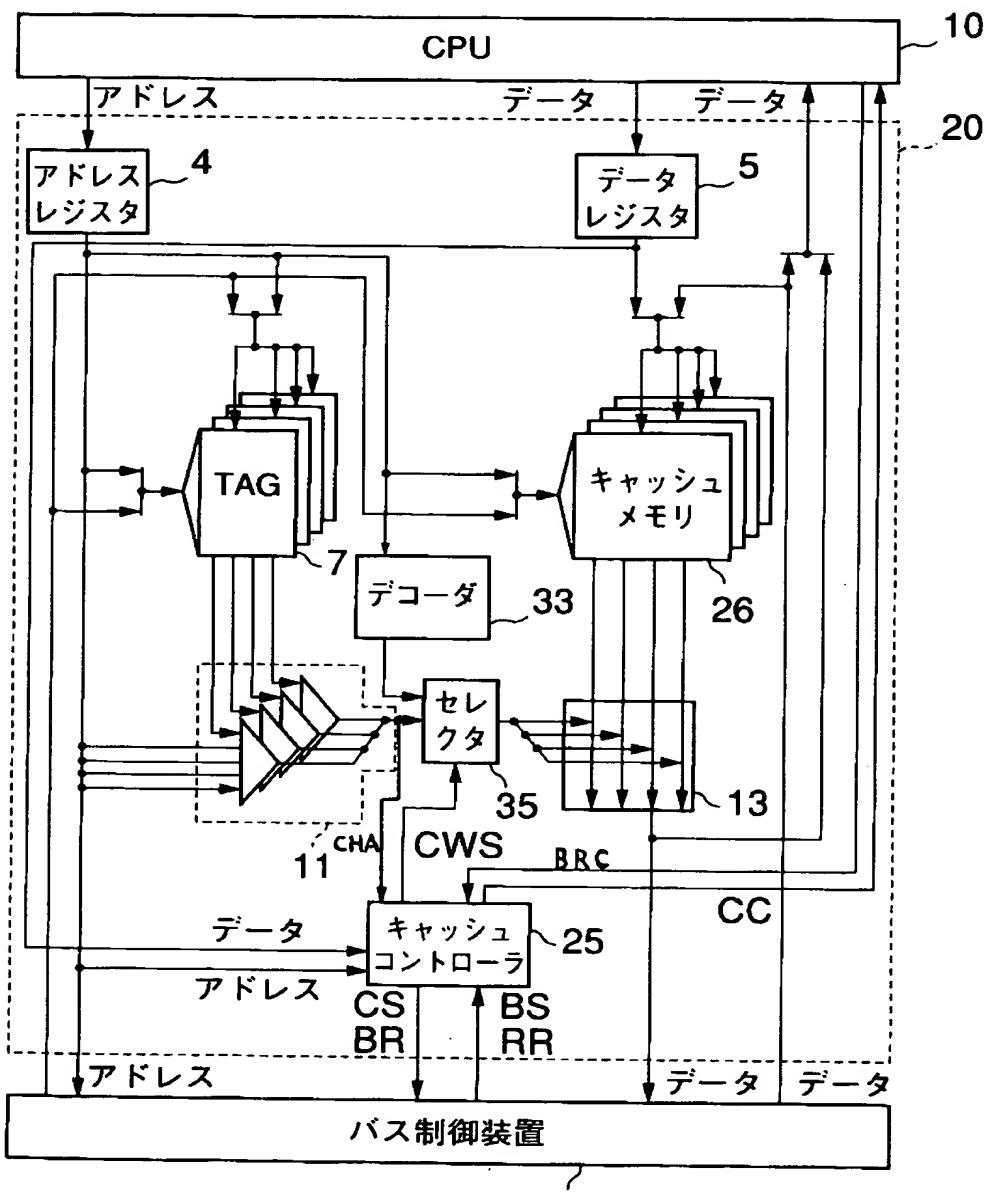
【図3】

本発明の実施の形態に係る計算機における  
アドレスマッピングの例を示す図



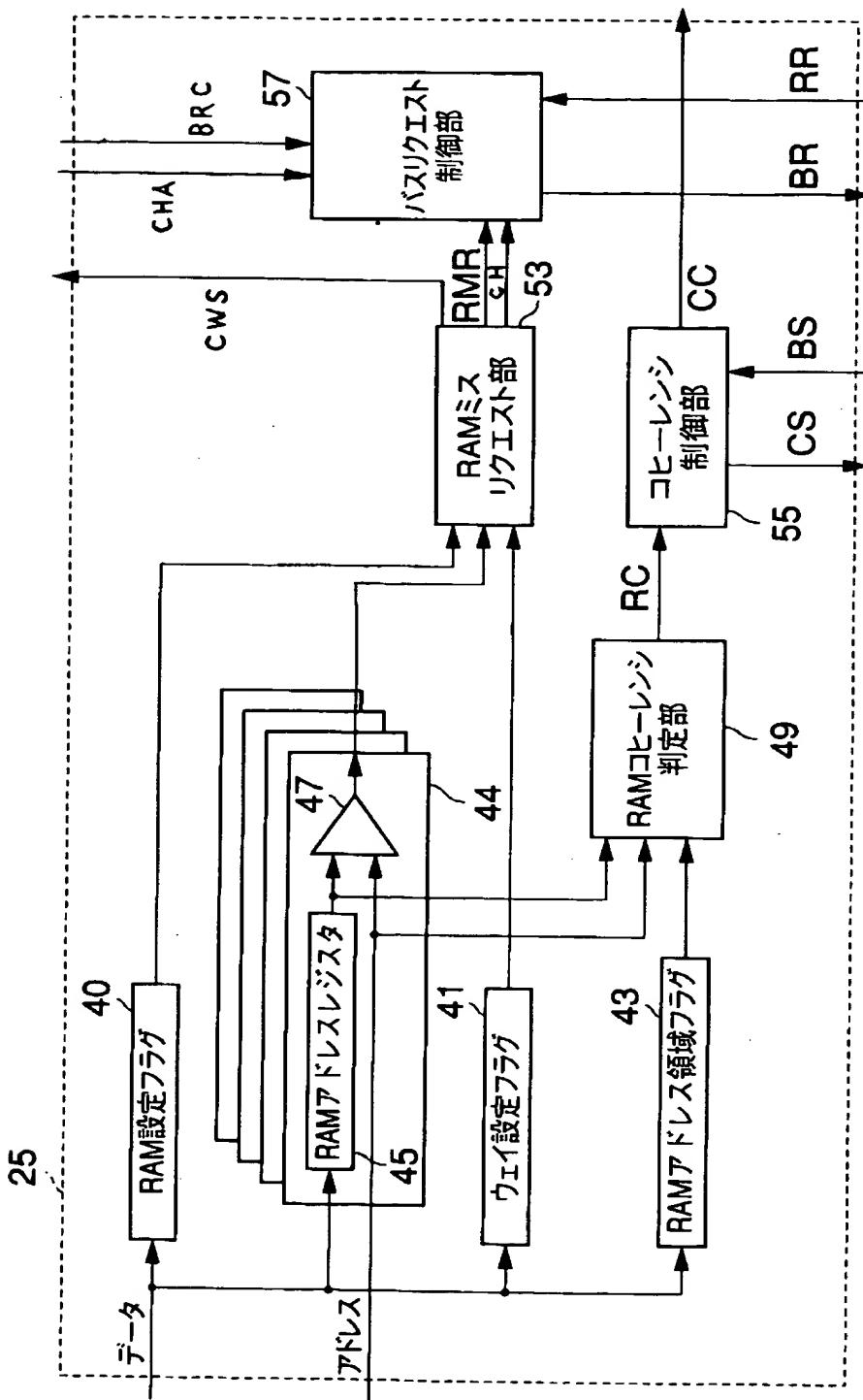
【図4】

本発明の実施の形態1に係る計算機のキャッシュ部の構成を  
より詳しく示す図



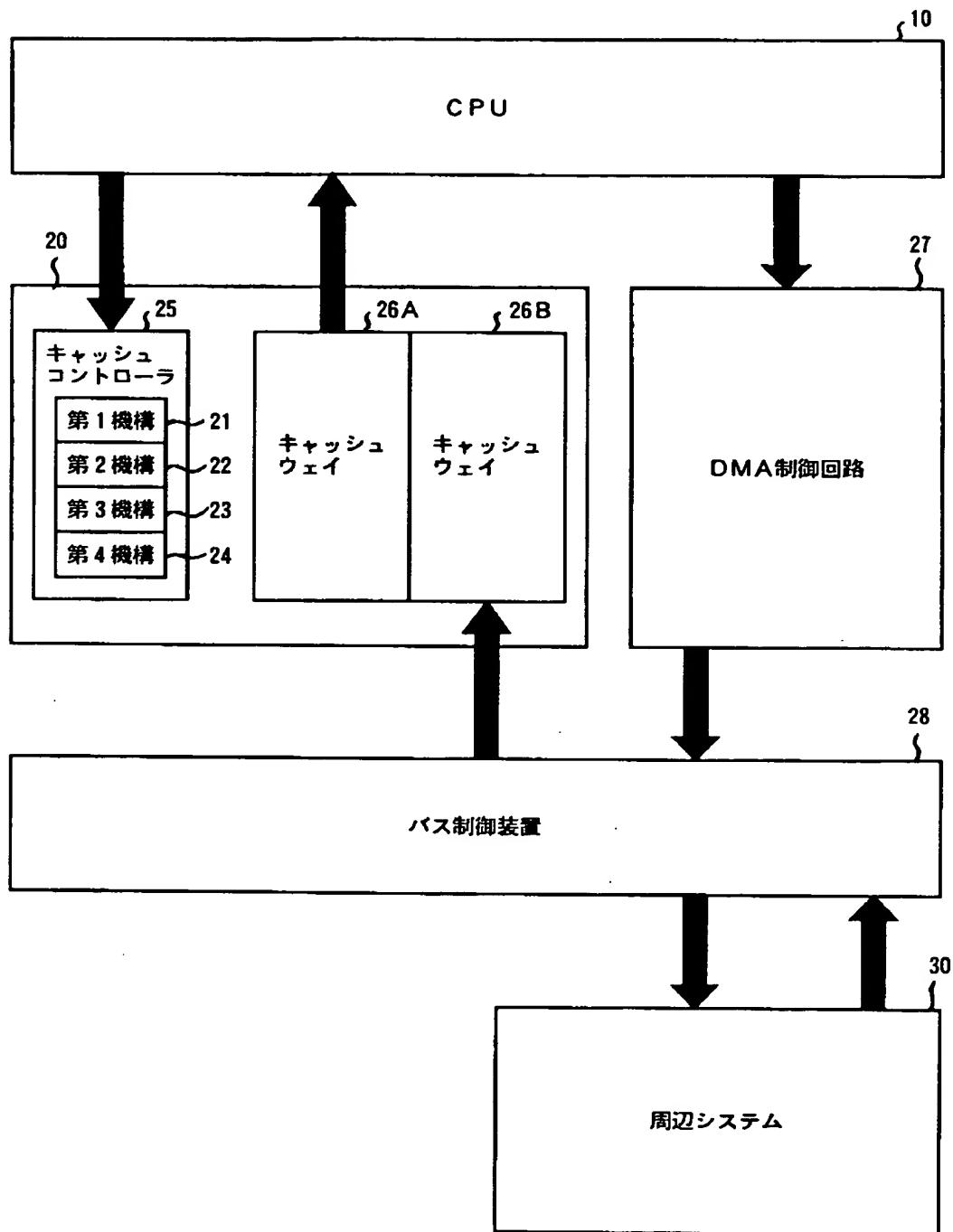
【図5】

図4に示されたキャッシュコントローラの構成を示す図



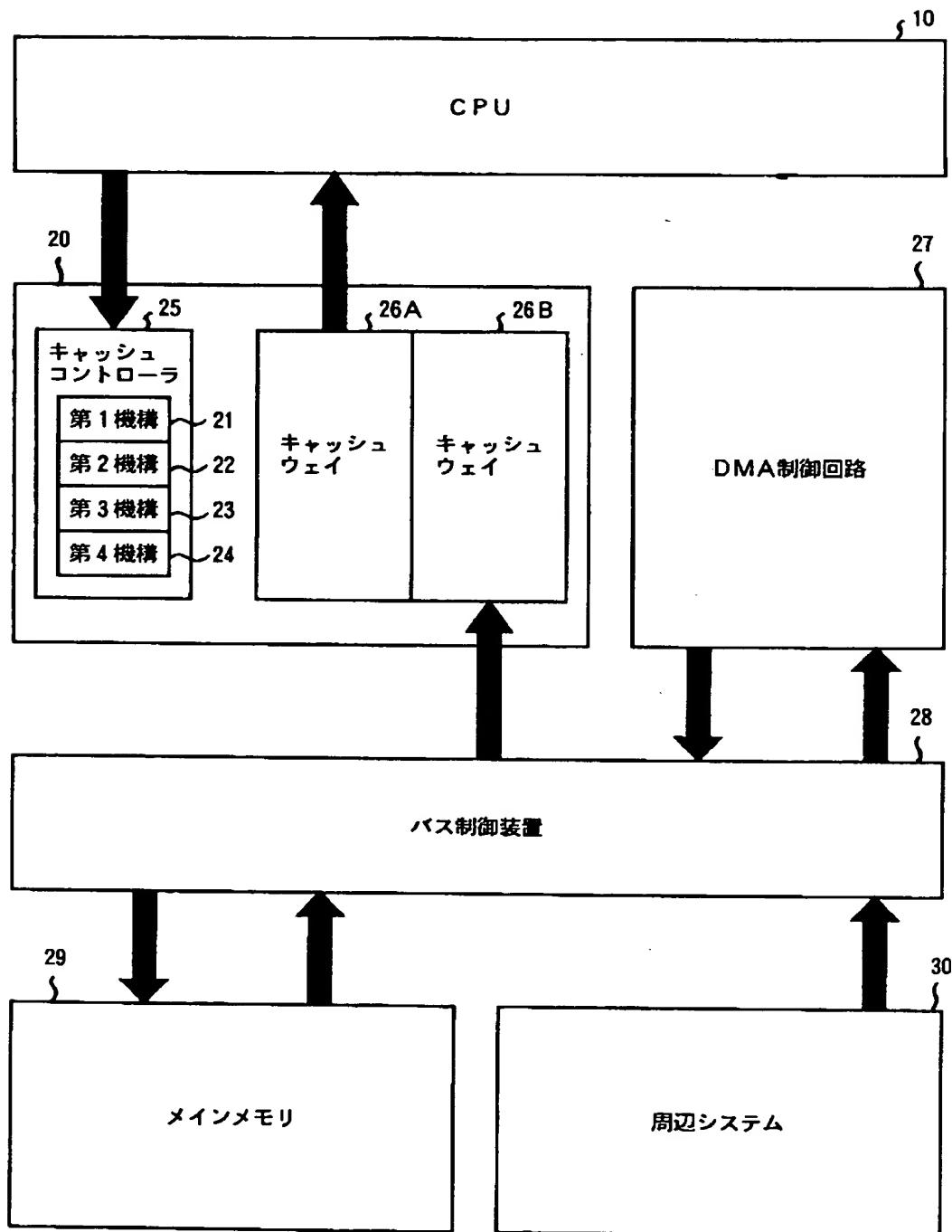
【図 6】

本発明の実施の形態 1 に係る計算機において、CPUが周辺システムのアドレス空間にアクセスする動作を説明する図



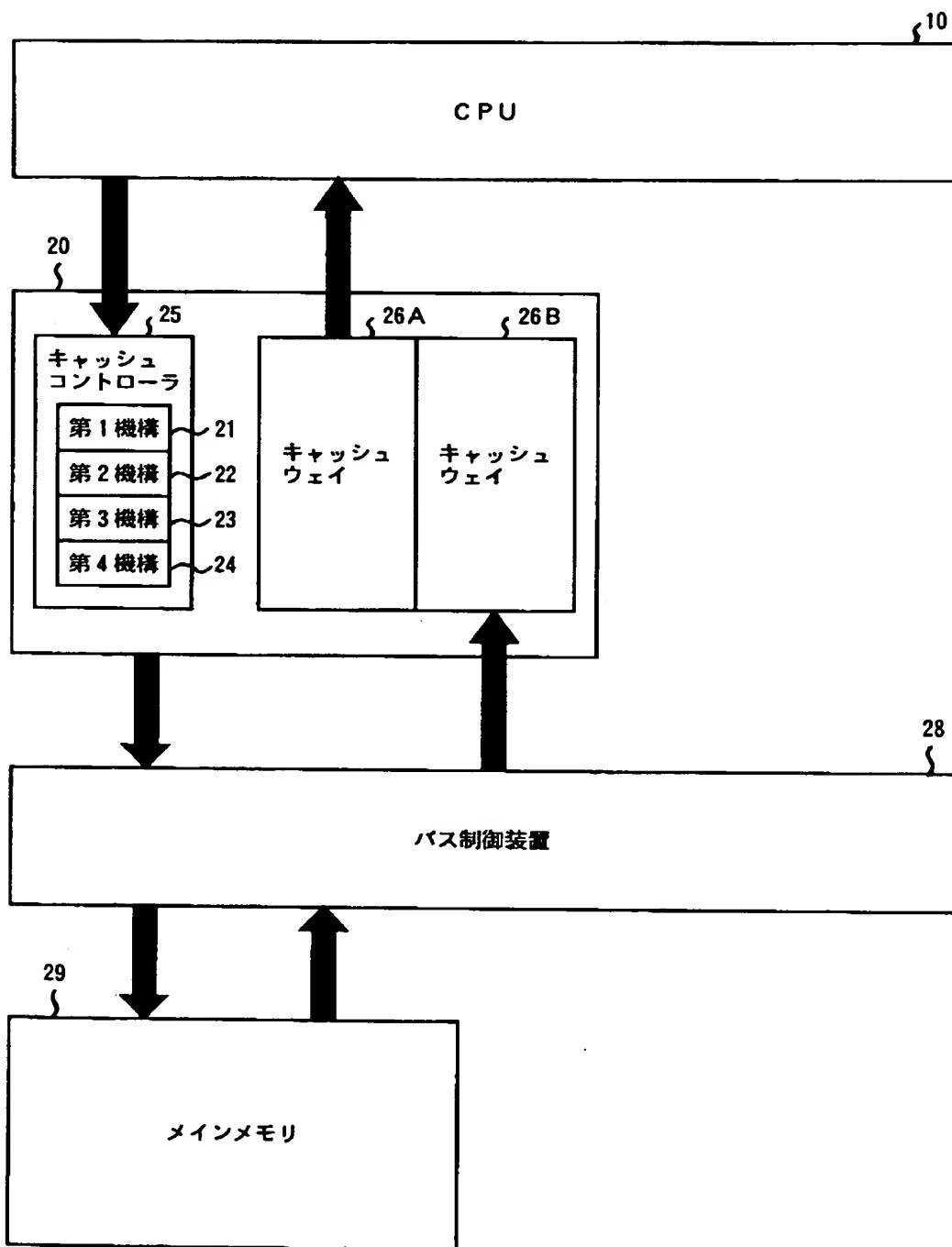
【図7】

本発明の実施の形態1に係る計算機において、  
CPUがメインメモリのアドレス空間に  
アクセスする動作を説明する第一の図



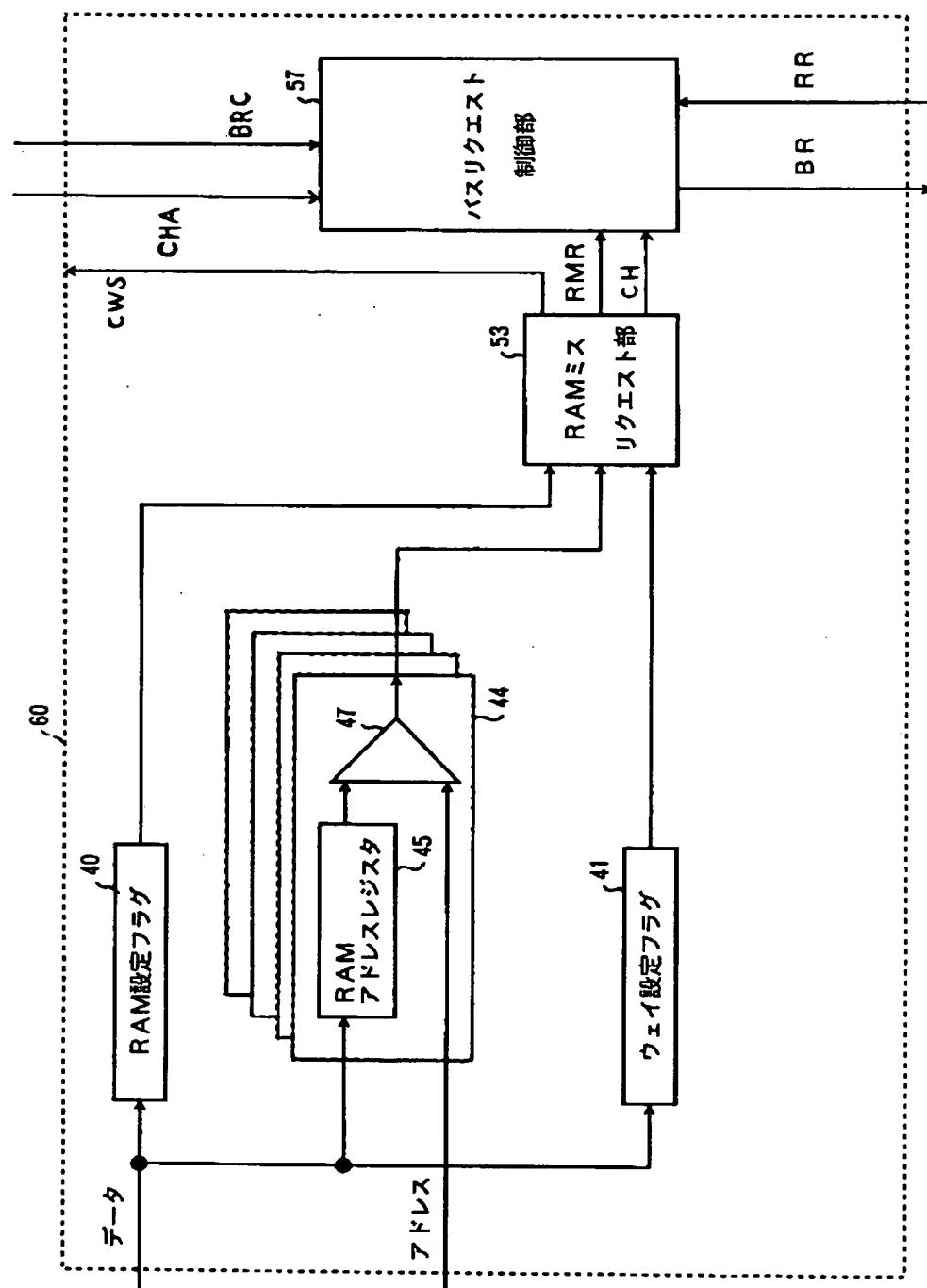
【図8】

本発明の実施の形態1に係る計算機において、  
CPUがメインメモリのアドレス空間に  
アクセスする動作を説明する第二の図



【図9】

本発明の実施の形態2に係る計算機における  
キャッシュコントローラの構成を示す図



【書類名】 要約書

【要約】

【課題】 コピーレンサーを保つための複雑な制御の必要性を回避して、RAMとしての簡易な制御を実現し得るキャッシュメモリを備えた計算機とその制御方法を提供する。

【解決手段】 メインメモリ29と、メインメモリ29に接続されランダムアクセスメモリとして動作させることができるキャッシュメモリを含む情報格納部26とを備えた計算機であって、上記キャッシュメモリがランダムアクセスメモリとして動作するときには、メインメモリ29に対応するアドレス空間とは異なるアドレス空間を上記キャッシュメモリへ割り当てるキャッシュコントローラ25を備えたことを特徴とする計算機を提供する。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社